

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

Japanese Patent Laid-Open Publication No. Heisei 9-8205

(TITLE OF THE INVENTION)

RESIN-ENCAPSULATED SEMICONDUCTOR DEVICE

5

(CLAIMS)

1. A resin-encapsulated semiconductor device using a lead frame which is shaped in accordance with a two-step etching process to a body wherein a thickness of inner leads is less than that of the lead frame blank, comprising:

inner leads having the thickness less than that of the lead frame blank; and

15 terminal columns integrally connected to the inner leads and having the same thickness with the lead frame blank, the terminal columns possessing a column-shaped configuration which is adapted to be electrically connected to an external circuit, the terminal columns being disposed outside of the inner leads in a manner such that they are

20 coupled to the inner leads in a direction orthogonal to the thickness-wise direction thereof, the terminal columns having terminal portions arranged on top ends thereof, the terminal portions being made of solders, etc. and exposed to the outside beyond a resin encapsulate, each inner lead

25 possessing a rectangular cross-section and having four

surfaces including a first surface, a second surface, a third surface and a fourth surface, the first surface being flushed with one surface of a remaining portion of the inner lead having the same thickness with the lead frame blank while being opposed to the second surface, and each of the third and fourth surfaces having a concave shape depressed toward the inside of the inner lead.

2. A resin-encapsulated semiconductor device using a lead frame which is shaped in accordance with a two-step etching process to a body wherein a thickness of inner leads is less than that of the lead frame blank, comprising:

inner leads having the thickness less than that of the lead frame blank; and

terminal columns integrally connected to the inner leads and having the same thickness with the lead frame blank, the terminal columns possessing a column-shaped configuration which is adapted to be electrically connected to an external circuit, the terminal columns being disposed outside of the inner leads in a manner such that they are coupled to the inner leads in a direction orthogonal to the thickness-wise direction thereof, portions of top ends of the terminal columns being exposed to the outside beyond a resin encapsulate, each inner lead possessing a rectangular

cross-section and having four surfaces including a first surface, a second surface, a third surface and a fourth surface, the first surface being flushed with one surface of a remaining portion of the inner lead having the same thickness with the lead frame blank while being opposed to the second surface, and each of the third and fourth surfaces having a concave shape depressed toward the inside of the inner lead.

10       3. The resin-encapsulated semiconductor device as claimed in claims 1 or 2, wherein a semiconductor chip is received inward of the inner leads, and electrodes of the semiconductor chip are electrically connected to the inner leads through wires, respectively.

15

4. The resin-encapsulated semiconductor device as claimed in claim 3, wherein the lead frame has a die pad, and the semiconductor chip is mounted onto the die pad.

20

5. The resin-encapsulated semiconductor device as claimed in claim 3, wherein the lead frame does not have a die pad, and the semiconductor chip is fastened to the inner leads using a reinforcing fastener tape.

.25

6. The resin-encapsulated semiconductor device as

claimed in claims 1 or 2, wherein the semiconductor chip is fastened by means of insulating adhesive to the second surfaces of the inner leads on one surface thereof on which the electrodes are located, and the electrodes of the semiconductor chip are electrically connected to the first surfaces of the inner leads through wires, respectively.

7. The resin-encapsulated semiconductor device as claimed in claims 1 or 2, wherein the semiconductor chip is fastened to the second surfaces of the inner leads by bumps thereby to be electrically connected to the inner leads.

(DETAILED DESCRIPTION OF THE INVENTION)

(FIELD OF THE INVENTION)

15 The present invention relates to a resin-encapsulated semiconductor device capable of meeting the requirement for an increase in the number of terminals and resolving problems which are caused in association with position shift and coplanarity of an outer lead.

20

(DESCRIPTION OF THE PRIOR ART)

FIG. 15(a) shows the configuration of a generally known resin-encapsulated semiconductor device (a plastic lead frame package). The shown resin-encapsulated 25 semiconductor device includes a die pad 1511 having a

semiconductor chip 1520 mounted thereon, outer leads 1513 to be electrically connected to the associated circuits, inner leads 1512 formed integrally with the outer leads 1513, bonding wires 1530 for electrically connecting the tips of the inner leads 1512 to the bonding pad 1521 of the semiconductor chip 1520, and a resin 1540 encapsulating the semiconductor chip 1520 to protect the semiconductor chip 1520 from external stresses and contaminants. This resin-encapsulated semiconductor device, after mounting the semiconductor chip 1520 on the bonding pad 1521, is manufactured by encapsulating the semiconductor chip 1520 with the resin. In this resin-encapsulated semiconductor device, the number of the inner leads 1512 is equal to that of the bonding pads 1521 of the semiconductor chip 1520. And, FIG. 15(b) shows the configuration of a monolayer lead frame used as an assembly member of the resin-encapsulated semiconductor device shown in FIG. 15a. Such a lead frame includes the bonding pad 1521 for mounting the semiconductor chip, the inner leads 1512 to be electrically connected to the semiconductor chip, the outer lead 1513 which is integral with the inner leads 1512 and is to be electrically connected to the associated circuits. This also includes dam bars 1514 serving as a dam when encapsulating the semiconductor chip with the resin, and a frame 1515 serving to support the entire lead frame 1510.

Such a lead frame is formed from a highly conductive metal such as a cobalt, 42 alloy(a 42% Ni-Fe alloy), copper-based alloy by a pressing working process or an etching process. FIG. 15(b)(D) is a cross-sectional view taken along the 5 line F1-F2 of FIG. 15(b)(1).

Recently, there has been growing demand for the miniaturization and reduction in thickness of resin-encapsulated semiconductor device employing lead frames like the lead frame (plastic lead frame package) and the 10 increase of the number of terminals of resin-encapsulated semiconductor package as electronic apparatuses are miniaturized progressively and the degree of the integration of semiconductor device increase progressively. Thus, recent resin-encapsulated semiconductor package, 15 particularly quad plate package(QFPs) and thin quad flat packages (TQFPs) have each a greatly increased number of pins.

Lead frames having inner leads arranged at small 20 pitches among lead frames for semiconductor packages are fabricated by a photolithographic etching process, while lead frames having inner leads arranged at comparatively large pitches among lead frames for semiconductor packages are fabricated by press working. However, lead frames having a large number of fine inner leads to be used for 25 forming semiconductor packages having a large number of

Pins are fabricated by subjecting a blank of a thickness on the order of 0.25 mm to an etching process, not a press working.

The etching process for forming a lead frame having fine inner leads will be described hereinafter with reference to FIG. 14. First, a copper alloy or 42 alloy thin sheet of a thickness on the order of 0.25 mm (a lead frame blank 1410) is cleaned perfectly (FIG. 14(a)). Then, a photoresist, such as a water-soluble casein photoresist containing potassium dichromate as a sensitive agent, is spread in photoresist films 1420 over the major surfaces of the thin film as shown in FIG. 14(b).

Then, the photoresist films are exposed, through a mask of a predetermined pattern, to light emitted by a high-pressure mercury lamp, and the thin sheet is immersed in a developer for development to form a patterned photoresist film 1430 as shown in FIG. 14(c). Then, the thin sheet is subjected, when need be, to a hardening process, a washing process and such, and then an etchant containing ferric chloride as a principal component is sprayed against the thin sheet 1410 to etch through portions of the thin sheet 1410 not coated with the patterned photoresist films 1420 so that inner leads of predetermined sizes and shapes are formed as shown in FIG. 14(d).

Then, the patterned resist films are removed, the patterned thin sheet 1410 is washed to complete a lead frame having the inner leads of desired shapes as shown in FIG. 14(e). Predetermined areas of the lead frame thus formed by the etching process are silver-plated. After being washed and dried, an adhesive polyimide tape is stuck to the inner leads for fixation, predetermined tab bars are bent, when need be, and the die pad depressed. In the etching process, the etchant etches the thin sheet in both the direction of the thickness and directions perpendicular to the thickness, which limits the miniaturization of inner lead pitches of lead frames. Since the thin sheet is etched from both the major surfaces as shown in FIG. 14 during the etching process, it is said, when the lead frame has a line-and-space shape, that the smallest possible intervals between the lines are in the range of 50 to 100 $\mu$  of the thickness of the thin sheet. From the viewpoint of forming the outer lead having a sufficient strength, generally, the thickness of the thin sheet must be about 0.125 mm or above. Furthermore, the width of the inner leads must be in the range of 70 to 80  $\mu$ m for successful wire bonding. When the etching process as illustrated in FIG. 14 is employed in fabricating a lead frame, a thin sheet of a small thickness in the range of 0.125 to 0.15 mm is used and inner leads are formed by etching so that the

fine tips thereof are arranged at a pitch of about 0.5 mm.

However, recent miniature resin-encapsulated semiconductor package requires inner leads arranged at pitches in the range of 0.13 to 0.15 mm, far smaller than 0.165 mm. When a lead frame is fabricated by processing a thin sheet of a reduced thickness, the strength of the outer leads of such a lead frame is not large enough to withstand external forces that may be applied thereto in the subsequent processes including an assembling process and a chip mounting process. Accordingly, there is a limit to the reduction of the thickness of the thin sheet to enable the fabrication of a minute lead frame having fine leads arranged at very small pitches by etching.

An etching method previously proposed to overcome such difficulties subjects a thin sheet to an etching process to form a lead frame after reducing the thickness of portions of the thin sheet corresponding to the inner leads of the lead frame by half-etching or pressing to form the fine inner leads by etching without reducing the strength of the outer leads. However, problems arise in accuracy in the subsequent processes when the lead frame is formed by etching after reducing the thickness of the portions corresponding to the inner leads by pressing; for example, the smoothness of the surface of the plated areas

is unsatisfactory, the inner leads cannot be formed in a flatness and a dimensional accuracy required to clamp the lead frame accurately for bonding and molding, and a platemaking process must be repeated twice making the lead fabricating process intricate. It is also necessary to repeat a platemaking process twice when the thickness of the portions of the thin sheet corresponding to the inner leads is reduced by half etching before subjecting the thin sheet to an etching process for forming the lead frame, which also makes the lead frame fabricating process intricate. Thus, this previously proposed etching method has not yet been applied to practical lead frame fabricating processes.

15 (SUBJECT MATTERS TO BE SOLVED BY THE INVENTION)  
On the other hand, because a pitch among inner leads is made narrow as the number of terminals is increased, it is considered important to know whether a problem is caused or not in association with position shift or coplanarity of an outer lead when implementing a chip mounting process. Accordingly, the present invention has been made in an effort to solve the problems occurring in the related art, and an object of the present invention is to provide a resin-encapsulated semiconductor device capable of meeting the requirement for an increase in the number of terminals

20  
25

and resolving problems which are caused in assoc:  
position shift and coplanarity of an outer lead.

(MEANS FOR SOLVING THE SUBJECT MATTERS)

5 According to one aspect of the present invention there is provided a resin-encapsulated semiconductor using a lead frame which is shaped in accordance with a two-step etching process to a body wherein a thickness of the inner leads is less than that of the lead frame comprising: inner leads having the thickness less 10 of the lead frame blank; and terminal columns 15 connected to the inner leads and having the same thickness as with the lead frame blank, the terminal columns being of a column-shaped configuration which is adapted electrically connected to an external circuit, the 20 columns being disposed outside of the inner lead in a manner such that they are coupled to the inner lead direction orthogonal to the thickness-wise direction thereof, the terminal columns having terminal portions 25 arranged on top ends thereof, the terminal portions made of solders, etc. and exposed to the outside being resin encapsulate, outer surfaces of the terminal columns also being exposed to the outside beyond the encapsulate, each inner lead possessing a rectangular cross-section and having four surfaces including a

surface, a second surface, a third surface and a fourth surface, the first surface being flushed with one surface of a remaining portion of the inner lead having the same thickness with the lead frame blank while being opposed to the second surface, and each of the third and fourth surfaces having a concave shape depressed toward the inside of the inner lead.

According to another aspect of the present invention there is provided a resin-encapsulated semiconductor device using a lead frame which is shaped in accordance with a two-step etching process to a body wherein a thickness of inner leads is less than that of the lead frame blank comprising: inner leads having the thickness less than that of the lead frame blank; and terminal columns integral 15 connected to the inner leads and having the same thickness with the lead frame blank, the terminal columns possessing a column-shaped configuration which is adapted to be electrically connected to an external circuit, the terminal columns being disposed outside of the inner leads in a manner such that they are coupled to the inner leads in a direction orthogonal to the thickness-wise direction thereof, portions of top ends of the terminal columns being exposed to the outside beyond a resin encapsulate, outer surfaces of the terminal columns also being exposed to the 20 outside beyond the resin encapsulate, each inner lead 25

possessing a rectangular cross-section and having four surfaces including a first surface, a second surface, a third surface and a fourth surface, the first surface being flushed with one surface of a remaining portion of the inner lead having the same thickness with the lead frame blank while being opposed to the second surface, and each of the third and fourth surfaces having a concave shape depressed toward the inside of the inner lead.

According to another aspect of the present invention, a semiconductor chip is received inward of the inner leads, and electrodes (pads) of the semiconductor chip are electrically connected to the inner leads through wires, respectively. According to another aspect of the present invention, the lead frame has a die pad, and the semiconductor chip is mounted onto the die pad. According to another aspect of the present invention, the lead frame does not have a die pad, and the semiconductor chip is fastened to the inner leads using a reinforcing fastener tape. According to still another aspect of the present invention, the semiconductor chip is fastened by means of insulating adhesive to the second surfaces of the inner leads on one surface thereof on which the electrodes are located, and the electrodes of the semiconductor chip are electrically connected to the first surfaces of the inner leads through wires, respectively. According to yet still

another aspect of the present invention, the semiconductor chip is fastened to the second surfaces of the inner leads by bumps thereby to be electrically connected to the inner leads. In the above descriptions, in the case that the terminal columns have terminal portions which are arranged on top ends of the terminal columns, with the terminal portions made of solders, etc. and exposed to the outside beyond the resin encapsulate, while it is the norm that the terminal portions comprising the solders, etc. are exposed to the outside beyond the resin encapsulate, it is not necessarily required for the terminal portions to be projected beyond the resin encapsulate. Moreover, while it is possible to use the outside surfaces of the terminal columns while they are not encapsulated by the resin encapsulate and they are exposed to the outside, the outside surfaces of the terminal columns which are not encapsulated by the resin encapsulate, can be covered by a protective frame using adhesive, etc.

20 [WORKING FUNCTIONS]

The resin-encapsulated semiconductor device in accordance with the present invention can meet a demand for an increase in the number of terminals. At the same time, in the resin-encapsulated semiconductor device, because the 25 forming process of the outer leads as in the case of using

2 mono-layered lead frame shown in FIG. 13(b) is not required, it is possible to provide a semiconductor device in which no problems are caused in association with position shift and coplanarity of the outer leads. More 5 particularly, the use of a multi-pinned lead frame shaped in a manner that inner leads have a thickness less than that of the lead frame blank by a two-step etching process, that is, the inner leads are arranged at a fine pitch, can meet a demand for an increase in the pin number of the 10 semiconductor device. Furthermore, by using the lead frame which is fabricated by a two-step etching process as will be described later with reference to FIG. 1, the second surface of each inner lead has coplanarity, and is excellent in wire-bonding property. In addition, since the 15 first surface of the inner lead is also a flat surface and the third and fourth surfaces are depressed toward the inside of the inner lead, the inner leads are stable and coplanarity width upon wire bonding process can be enlarged.

20

(EMBODIMENTS)

25 Embodiments of the resin-encapsulated semiconductor device in accordance with the present invention will now be described with reference to the attached drawings. First, a resin-encapsulated semiconductor device in accordance

with a first embodiment of the present invention described hereinafter with reference to FIGs. 1-3. FIG. 1(a) is a cross-sectional view of the encapsulated semiconductor device according to the embodiment of the present invention. FIG. 1(b) is a sectional view of an inner lead taken along the line of FIG. 1(a), and FIG. 1(c) is a cross-sectional view of a terminal column taken along the line 51-52 of FIG. 1(a). Moreover, FIG. 2(a) is a perspective view of the encapsulated semiconductor device according to the embodiment of the present invention, FIG. 2(b) is a view of the resin-encapsulated semiconductor device of FIG. 2(a), and FIG. 2(c) is a bottom view of the encapsulated semiconductor device of FIG. 2(a). In FIGS. 1 and 2, a drawing reference numeral 100 represents an encapsulated semiconductor device, 110 a semiconductor chip, 111 electrodes (pads), 120 wires, 130 a lead frame, 131 inner leads, 131Aa a first surface, 131Ab a second surface, 131Ac a third surface, 131Ad a fourth surface, 133 terminal columns, 133A terminal portions, 133B surfaces, 133S a top surface, 135 a die pad, and 136 a resin encapsulate.

In the resin-encapsulated semiconductor device according to the first embodiment, as shown in FIG. 2(a), the semiconductor chip 110 is placed inward of the inner leads 131.

leads 131. As can be readily seen from FIG. 1(a), the semiconductor chip 110 is mounted on the die pad 105 at the surface thereof which is opposed to the other surface thereof where the electrodes pads 111 of the semiconductor chip 110 are arranged. Each electrode pad 111 is electrically connected to the second surface 131A of the inner lead 131 through the wire 120. The electrical connection between the resin-encapsulated semiconductor device 100 of this embodiment and an external circuit is achieved by mounting the resin-encapsulated semiconductor device 100 via the terminal portions 133A each being made of a semi-spherical solder, on a printed circuit substrate, with the terminal portions 133A located on the top surfaces 133S of the terminal columns 133, respectively. In the resin-encapsulated semiconductor device of the first embodiment of the present invention, it is not necessarily required to provide a protective frame 190, and instead, a structure, as shown in FIG. 1(d), in which no protective frame is used can be adopted.

The lead frame 130 used in the semiconductor device 100 according to the first embodiment is made of a 42% nickel-iron alloy. Therefore, the lead frame 130A which has a contour as shown in FIG. 9(a) and is shaped by an etching process, is used as the lead frame 130. The lead frame 130 has inner leads 131 which are shaped to have a

thickness less than that of the terminal columns 133 or other portions. Dam bars 136 serve as a dam when encapsulating the semiconductor chip 110 with a resin. Moreover, although the lead frame 130A which is processed by etching to have the contour as shown in FIG. 1(a) is used in this embodiment, the lead frame is not limited to such a contour because portions except the inner leads 131 and the terminal columns 133 are not necessary. The inner leads 131 have a thickness of 40 mm whereas the portions 5 of the lead frame 130 other than the inner leads 131 have a thickness of 0.15 mm which corresponds to the thickness of the lead frame blank. The other portions of the lead frame 130 except the inner leads 131 may not have the thickness of 0.15 mm, but have a thickness of 0.125 mm-0.50 mm which 10 is thinner. The tips of the inner leads 131 have a small pitch of 0.12 mm so as to achieve an increase in the number of terminals for semiconductor devices. The second face 131Ab of the inner lead 131 has a substantially flat profile so as to allow an easy wire bonding thereon. Also, 15 as shown in FIG. 1(b), because the third and fourth faces 131Ac and 131Ad have a concave shape which is depressed toward the inside of the associated inner lead, a high strength can be obtained even though the second face (wire bonding surface) 131Ab is narrowed. 20  
25 In the present embodiment, since twisting does not

occur in the inner leads 131 irrespective of whether the inner leads 131 is long or not. The inner leads having the contour, as shown in FIG. 9(a), in which the tips of the inner leads 131 are separated one from another, are prepared by the etching process, and the inner leads are resin-encapsulated after mounting the semiconductor chip thereon as will be described later. However, where the inner leads 131 are long in their length and have a tendency for the generation of twisting therein, it is impossible to fabricate the lead frame by etching to have the contour as shown in FIG. 9(a). Therefore, after etching the lead frame in a state where the tips of the inner leads are fixed to the connecting portion 131B as shown in FIG. 9(c)(1), the inner leads 131 are fixed with the reinforcing tape 160 as shown in FIG. 9(c)(2). Then, the connecting portions 131B which are not necessary in the fabrication of the resin-encapsulated semiconductor device are removed by a press as shown in FIG. 9(c)(3), and a semiconductor device is then mounted on the lead frame.

Hereinafter, a method for the fabrication of the resin-encapsulated semiconductor device will now be described with reference to FIG. 8. First, the lead frame 130A, as shown in FIG. 9(a), which is shaped by the etching process as will be described later, is prepared such that the second surfaces 131Ab of the inner leads 131 are

directed upward (FIG. 8(a)).

Then, the semiconductor chip 110 is mounted onto the die pad 135 such that the surfaces of the semiconductor chip 110 on which the electrodes 111 are arranged, are 5 directed upward (FIG. 8(b)).

Next, after the semiconductor chip 110 is fastened onto the die pad 135, the electrodes 111 of the semiconductor chip 110 and the second surfaces 131AB of the inner leads 131 are bonded with each other using wires 120 10 (FIG. 8(c)).

Subsequently, encapsulation is carried out with the conventional resin encapsulate 140. Thereafter, unnecessary portions of the lead frame 130 which are protruded from the resin encapsulate 140 are cut by a press 15 to form terminal columns 133 and also the side surfaces 133B of the terminal columns 133 (FIG. 8(d)).

Then, the dam bars 136, the frame portions 137, etc. of the lead frame 130A as shown in FIG. 9 are removed. Next, the terminal portions 133A each made of the semi- 20 spherical solder are arranged on the outer surface of each terminal column 133 to fabricate a resin-encapsulated semiconductor device (FIG. 8(e)).

Thereafter, the protective frame 180 is arranged by means of adhesive around an entire outer surface of the 25 resultant structure in such a manner that the side surfaces

of the terminal columns 133 are covered thereby FIG. 6(f)). At this time, the protective frame 180 functions to reinforce the semiconductor device. In other words, the protective frame 180 serves to prevent moisture from leaking into a gap between the resin encapsulate and the terminal columns due to the fact that the side surfaces of the terminal columns are exposed to the outside, whereby a crack is not formed in the semiconductor device and the breakage of the semiconductor device is avoided. However, persons skilled in the art will readily appreciate that it is not necessarily required to provide the protective frame 180. Also, when such an encapsulating process by the resin is carried out using a desired mold, the encapsulating process is implemented in a state wherein the outer side surfaces of the terminal columns of the lead frame are somewhat protruded out of the resin encapsulate.

A method for etching the lead frame of the first embodiment will now be described in conjunction with the attached drawings. FIG. 11 is of cross-sectional views 20 respectively illustrating sequential steps of the etching process for the lead frame of the first embodiment. In particular, the cross-sectional views of FIG. 1 correspond to a cross section taken along the line D1-D2 of FIG. 9(a). In FIG. 11, the reference numeral 1110 denotes a lead frame 25 blank, 1120A and 1120B resist patterns, 1130 first opening,

1140 second openings, 1150 first concave portions, 1160 second concave portions, 1170 flat surfaces, and 1180 an etch-resistant layer. First, a water-soluble casein resist using potassium dichromate as a sensitive agent is coated over both surfaces of the lead frame blank 1110 made of a 42% nickel-iron alloy and having a thickness of about 0.16 mm. Using desired pattern plates, the resist films are patterned to form resist patterns 1120A and 1120B having first opening 1130 and second openings 1140, respectively (FIG. 11(a)).

The first opening 1130 is adapted to etch the lead frame blank 1110 to have a flat etched bottom surface to a thickness smaller than that of the lead frame blank 1110 in a subsequent process. The second openings 1140 are adapted to form desired shapes of tips of inner leads. Although the first opening 1130 includes at least an area forming the tips of the inner leads 1110, a topology generated by partially thinned portion by etching in a subsequent process can cause hindrance in a taping process or a clamping process for fixing the lead frame. Thus, an area to be etched needs to be large without being limited to fine portions of the tips of the inner leads. Thereafter, both surfaces of the lead frame blank 1110 formed with the resist patterns are etched using a 48 Be' ferric chloride solution of a temperature of 57°C at a spray pressure of

2.5 kg/cm<sup>2</sup>. The etching process is terminated at the point of time when first recesses 1150 etched to have a flat etched bottom surface have a depth  $h$  corresponding to  $2/3$  of the thickness of the lead frame blank (FIG. 11(a)).

5        Although both surfaces of the lead frame blank 1110 are simultaneously etched in the primary etching process, it is not necessary to simultaneously etch both surfaces of the lead frame blank 1110. The reason why both surfaces of the lead frame blank 1110 are simultaneously etched, as in this embodiment, is to reduce the etching time taken in a secondary etching process as will be described later. The total time taken for the primary and secondary etching processes is less than that taken in the case of etching of only one surface of the lead frame blank on which the resist pattern 1120A is formed. Subsequently, the surface provided with the first recesses 1150 respectively etched at the first opening 1130 is entirely coated with an etch-resistant hot-melt wax (acidic wax type MR-WB6, The Inctec Inc.) by a die coater to form an etch-resistant layer 1180 so as to fill up the first recesses 1150 and to cover the resist pattern 1120A (FIG. 11(c)).

10       It is not necessary to coat the etch-resistant layer 1180 over the entire portion of the surface provided with the resist pattern 1120A. However, it is preferred that the etch-resistant layer 1180 be coated over the entire

portion of the surface formed with the first recesses and first opening 1130, as shown in FIG. 11(c), because it is difficult to coat the etch-resistant layer 1180 on the surface portion including the first recesses.

5 Although the etch-resistant layer 1180 wax employed in embodiment is an alkali-soluble wax, any substance resistant to the etching action of the etchant solution remaining somewhat soft during etching may be used.

10 For forming the etch-resistant layer 1180 is not limited to the above-mentioned wax, but may be a wax of a UV-type. Since each first recess 1150 etched by the primary etching process at the surface formed with the part adapted to form a desired shape of the inner lead to be filled up with the etch-resistant layer 1180, it is

15 further etched in the following secondary etching process. The etch-resistant layer 1180 also enhances the mechanical strength of the lead frame blank for the second etching process, thereby enabling the second etching process to be conducted while keeping a high accuracy. It is

20 possible to enable a second etchant solution to be sprayed at an increased spraying pressure, for example, 2.5 kg or above, in the secondary etching process. The increased spraying pressure promotes the progress of etching in direction of the thickness of the lead frame blank in

25 secondary etching process. Then, the lead frame blank

subjected to a secondary etching process. In this secondary etching process, the lead frame blank 1110 is etched at its surface formed with first recesses 1162 having a flat etched bottom surface, to completely 5 perforate the second recesses 1160, thereby forming the tips of inner leads 131A (FIG. 11(d)).

The bottom surface 1170 of each recess formed by the primary etching process is flat. However, both side surfaces of each recess positioned at opposite sides of the bottom surface 1170 have a concave shape depressed toward the inside of the inner lead. Then, the lead frame blank is cleaned. After completion of the cleaning process, the etch-resistant layer 1180, and resist films (resist patterns 1120A and 1120B) are sequentially removed. Thus, 10 15 a lead frame 130A having a structure of FIG. 9(a) is obtained in which tips of the inner leads 131A are arranged at a fine pitch. The removal of the etch-resistant layer 1180 and resist films (resist patterns 1120A and 1120B) is achieved using a sodium hydroxide solution serving to 20 dissolve them.

The processes for manufacturing the lead frame as shown in FIG. 11, is to form by means of etching the lead frame having the tips of the inner leads used in this embodiment of the present invention, which have a thickness 25 less than that of the lead frame. Especially, the first

surfaces 131Aa of the tips of the inner leads as shown in FIG. 1, are flushed with one surfaces of remaining portions of the inner leads having the same thickness with the lead frame while being opposed to the second surfaces 131Ab, and the third and fourth surfaces are formed to have a concave shape which is depressed toward the inside of the inner leads. Where a semiconductor chip is mounted on the second surfaces 131Ab of the inner leads by means of bumps for an electrical connection therebetween, as in a semiconductor device according to a third embodiment as will be described hereinafter, an increased tolerance for the connection by bumps is obtained when the second surface 131Ab has a concave shape depressed toward the inside of the inner lead. To this end, an etching method shown in FIG. 12 is adopted in this case. The etching method shown in FIG. 12 is the same as that of FIG. 11 in association with its primary etching process. After completion of the primary etching process, the etching method is conducted in a manner different from that of the etching method of FIG. 11 in that the second etching process is conducted at the side of the first recesses 1150 after filling up the second recesses 1160 by the etch-resist layer 1180, thereby completely perforating the second recesses 1160. At this time, by implementing the primary etching process, etching at the side of the second openings 1140 is performed in a

sufficient manner. The cross section of each inner lead, including its tip, formed in accordance with the etching method of FIG. 12, has a concave shape depressed toward the inside of the inner lead at the second surface 131Ab, as shown in FIG. 6(b).

5 The etching method in which the etching process is conducted at two separate steps, respectively, as in that of FIGs. 11 and 12, is generally called a "two-step etching method". This etching method is advantageous in that a 10 desired fineness can be obtained. The etching method used to fabricate the lead frame 130A of the first embodiment shown in FIG. 9 involves the two-step etching method and the method for forming a desired shape of each lead frame portion while reducing the thickness of each pattern 15 formed. In particular, the etching method makes it possible to achieve a desired fineness. In accordance with the method illustrated in FIGs. 11 and 12, the fineness of the tip of each inner lead 131A formed by this method is dependent on the shape of the second recesses 1160 and the 20 thickness  $t$  of the inner lead tip which is finally obtained. For example, where the blank has a thickness  $t$  reduced to 50  $\mu\text{m}$ , the inner leads can have a fineness corresponding to a lead width  $W_1$  of 100  $\mu\text{m}$  and a tip pitch  $p$  of 0.15 mm, as shown in FIG. 11(e). In the case of 25 using a small blank thickness  $t$  of about 30  $\mu\text{m}$  and a lead

width  $W_1$  of 70  $\mu\text{m}$ , it is possible to form inner leads having a fineness corresponding to an inner lead pitch  $p$  of 0.12 mm. Of course, it may be possible to form inner leads having a further reduced tip pitch by adjusting the blank thickness  $t$  and the lead width  $W_1$ . That is to say, an inner lead tip pitch  $p$  up to 0.08 mm, a blank thickness up to 25  $\mu\text{m}$ , and a lead width  $W_1$  up to 40  $\mu\text{m}$  can be obtained.

In the case where twisting of the inner leads does not occur in the fabricating process, as in the case where the inner leads are short in their length, a lead frame illustrated in FIG. 9(a) can be directly obtained. However, where the inner leads are long in length as compared to those of the first embodiment, the inner leads have tendency for the generation of twisting. Thus, in this case, the lead frame is obtained by etching in a state where the tips of the inner leads are bound to each other by a connecting member 131B as shown in FIG. 9(c)(1). Then, the connecting member 131B which is not necessary for the fabrication of a semiconductor package is cut off by means of a press to obtain a lead frame shaped as shown in FIG. 9(a).

Moreover, as described above, where unnecessary portions in a structure shown in FIG. 9(c)(1) are cut to obtain the lead frame having the contour shown in FIG.

9(a), a reinforcing tape 160 (a polyimide tape is generally used, as shown in FIG. 9(c)(a)). While the connecting member 131B is cut off by means of a press to obtain the contour shown in FIG. 9(c)(b), a semiconductor device is mounted on the lead frame still having the reinforcing tape attached thereto. Also, the mounted semiconductor device is encapsulated with a resin in a condition where the lead frame still has the tape. The line E11-E12 illustrates a cut portion.

10 The tip of the inner lead 131 of the lead frame used in the semiconductor device of this first embodiment has a cross-sectional shape as shown in FIG. 13(1)(a). The tip 131A has an etched flat surface (second surface) 131Ab which is substantially flat and therefore has a width  $W_1$  15 slightly greater than the width  $W_2$  of an opposite surface. The widths  $W_1$  and  $W_2$  (about 1000  $\mu$ m) are more than the width  $W$  at the central portion of the tips when viewed in the direction of the inner lead thickness. Thus, the tip of the inner lead has a cross-sectional shape having 20 opposite wide surfaces. To this end, although either of the opposite surfaces of the tip 131A can be easily electrically connected to a semiconductor device (not shown) by a wire 120A or 120B, this embodiment illustrates the use of the etched flat surface for wire-bonding as 25 shown in FIG. 13(1)(a). In FIG. 13, a reference numeral

131Ab depicts an etched flat surface, 131Aa a surface of a lead frame blank, and 121A and 121B, respectively, a plated portion. In the case of FIG. 13(B)(a), there has particularly excellent in wire-bonding property, because the etched flat surface does not have roughness. FIG. 13(1') shows that the tip 1331B of the inner lead of the lead frame fabricated according to the process illustrated in FIG. 14 is wire-bonded to a semiconductor device. In this case, however, both the opposite surfaces of the tip 1331B of the inner lead are flat, but have a width smaller than that in a direction of the inner lead thickness. In addition to this, as both the opposite surfaces of the tip 1331B is formed of surfaces of the lead frame blank, these surfaces have an inferior wire-bonding property as compared to that of the etched flat surface of this first embodiment. FIG. 13(2) shows that the inner lead tip 1331C or 1331D, obtained by thinning in its thickness by a means of a press (coining) and then by etching, is wire-bonded to a semiconductor device (not shown). In this case, however, a pressed surface of the inner lead tip is not flat as shown FIG. 13(2). Thus, the wire-bonding on either of the opposite surfaces as shown in FIG. 13(2)(a) or FIG. 13(2)(b) often results in an insufficient wire-bonding stability and a problematic quality. The drawing reference numeral 1331Ab represents a coining surface.

A modified example of the resin-encapsulated semiconductor device in accordance with the first embodiment of the present invention will be described hereinafter. FIGS. 3(a) through 3(e) are cross-sectional views of the modified example of the resin-encapsulated semiconductor device in accordance with the first embodiment of the present invention. The semiconductor device of the modified example as shown in FIG. 3(a), is different from that of the first embodiment in that a position of the die pad 135 is changed, that is, the die pad 135 is exposed to the outside. By the fact that the die pad 135 is exposed to the outside, the heat dissipation property is improved as compared to the first embodiment. Also, in the semiconductor device of the modified example as shown in FIG. 3(b), because the die pad 135 is exposed to the outside, the heat dissipation property is improved as compared to the first embodiment. Unlike the first embodiment or the modified example as shown in FIG. 3(a), in the present modified example as shown in FIG. 3(b), because a direction of the semiconductor device 110 is changed, the first surfaces of the lead frame are established as the wire bonding surfaces. The modified examples as shown in FIGS. 3(c), 3(d) and 3(e), illustrate semiconductor devices which are obtained by modifying the semiconductor devices of the first embodiment, the modified

example as shown in FIG. 3(a) and the modified example as shown in FIG. 3(b), wherein the semi-spherical solders are not used, and instead, the top surfaces of the terminal columns are directly used as the terminal portions, whereby an entire manufacturing procedure can be simplified.

Next, a resin-encapsulated semiconductor device in accordance with a second embodiment of the present invention will be described. FIG. 4(a) is a cross-sectional view of the resin-encapsulated semiconductor device in accordance with the second embodiment of the present invention, FIG. 4(b) is a cross-sectional view illustrating inner leads, taken along the line A3-A4 of FIG. 4(a), and FIG. 4(c) is a cross-sectional view illustrating a terminal column, taken along the line B3-B4 of FIG. 4(a). Because an outer appearance of the semiconductor device of the second embodiment is substantially the same as that of the first embodiment, it is not illustrated in the drawings. In FIG. 3, the drawing reference numeral 200 represents a semiconductor device, 210 a semiconductor chip, 211 electrodes (pads), 220 wires, 230 a lead frame, 231 inner leads, 231Ab a second surface, 231Ac a third surface, 231Ad a fourth surface, 233 terminal columns, 233A terminal portions, 233B side surfaces, 233S top surfaces, 240 a resin encapsulate, and 270 a reinforcing fastener tape. In the semiconductor device of

this second embodiment, the lead frame 230 does not have a die pad, the semiconductor chip 210 is fastened to the inner leads 231 by the reinforcing fastener tape 270, and the semiconductor chip 210 is electrically connected at its electrodes (pads) 211 to the second surfaces 231ab of the inner leads 231 by wires 220. Also, in the case of this second embodiment, similarly to the first embodiment, the electrical connection between the resin-encapsulated semiconductor device 200 of this embodiment and an external circuit is achieved by mounting the resin-encapsulated semiconductor device 200 via the terminal portions 233A each being made of a semi-spherical solder, on a printed circuit substrate, with the terminal portions 233A located on the top surfaces 233S of the terminal columns 233, respectively.

In addition, the semiconductor device of this second embodiment does not have a die pad as shown in FIGs. 10(a) and 10(b). The manufacturing method of the semiconductor device of this embodiment using the lead frame 230A which is shaped by the etching process is substantially the same as that of the first embodiment except that, while in the case of the first embodiment, the wire bonding process and resin encapsulating process are performed in a state wherein the semiconductor chip is fastened to the inner leads, in the case of the second embodiment, the wire

bonding process and resin encapsulating process are performed in a state wherein the semiconductor chip 210 is fastened together with the inner leads 231 by the reinforcing fastener tape 260. Also, the cutting process for the unnecessary portions and the terminal portion forming process after resin encapsulating process are implemented in the same way as the first embodiment. The lead frame 230 as shown in FIG. 10(a) is obtained in the same manner by which the lead frame 130A as shown in FIG. 9(a) is obtained. In other words, by cutting the resultant structure obtained after etching the structure as shown in FIG. 10(c)(1), the contour as shown in FIG. 10(a) is obtained. At this time, the conventional reinforcing fastener tape 260 (the polyimide tape) as shown in FIG. 10(c)(□), which performs a reinforcing function is used.

FIG. 5(a) through 5(c) are cross-sectional views illustrating modified examples of the semiconductor device of the second embodiment. The semiconductor device as shown in FIG. 5(a) is different from the semiconductor device of the second embodiment, in that the surface of the semiconductor chip thereof which has the electrodes is directed downward. The modified examples as shown in FIGs. 5(b) and 5(c), illustrate semiconductor devices which are obtained by modifying the semiconductor devices of the second embodiment and the modified example as shown in FIG.

5(a), wherein the semi-spherical solders are not used, and instead, the top surfaces of the terminal columns are directly used as the terminal portions. In these examples, because a protective frame is not used and the side surfaces 333B of the terminal columns 333 are exposed to the outside, a checking operation by a test, etc. can be easily performed.

Hereinafter, a resin-encapsulated semiconductor device in accordance with a third embodiment of the present invention will be described. FIG. 6(a) is a cross-sectional view of the resin-encapsulated semiconductor device of the third embodiment, FIG. 6(b) is a cross-sectional view illustrating inner leads, taken along the line A5-A6 of FIG. 6(a), and FIG. 6(c) is a cross-sectional view illustrating a terminal column, taken along the line B5-B6 of FIG. 6(b). Because an outer appearance of the semiconductor device of this third embodiment is substantially the same as that of the first embodiment, it is not illustrated in the drawings. In FIG. 6, the drawing reference numeral 300 represents a semiconductor device, 310 a semiconductor chip, 312 bumps, 330 a lead frame, 331 inner leads, 331Aa a first surface, 331Ab a second surface, 331Ac a third surface, 331Ad a fourth surface, 333 terminal columns, 333A terminal portions, 333B side surfaces, 333S top surfaces, 340 a resin encapsulate, and 350 a

reinforcing fastener tape. In the semiconductor device of this third embodiment, the semiconductor chip 310 is fastened to the second surfaces 331Ab of the inner leads 331 by the bumps 311 thereby to be electrically connected to the second surfaces 331Ab. The lead frame 330 has a contour as shown in FIGs. 10(a) and 10(b), which is formed by the etching process of FIG. 11. As shown in FIG. 13(1)(b), both widths W1A and W2A (about 100  $\mu$ m) at top and bottom ends of the inner leads 331 are larger than a width WA at a center portion in a thickness-wise direction. Due to the fact that the second surfaces 331Ab of the inner leads 331 is depressed toward the inside of the inner leads and the first surfaces 331Aa are flat, a desired fineness can be obtained. Also, when the second surfaces 331Ab of the inner leads 331 are electrically connected to the semiconductor chip via bumps, easy connection can be accomplished as shown in FIG. 13(□)(b). Further, in the case of this third embodiment, as in the case of the first and second embodiments, the electrical connection between the resin-encapsulated semiconductor device 300 of this embodiment and an external circuit is achieved by mounting the resin-encapsulated semiconductor device 300 via the terminal portions 333A each being made of a semi-spherical solder, on a printed circuit substrate, with the terminal portions 333A located on the top surfaces of the terminal

columns 333, respectively.

In addition, unlike the semiconductor device of the first embodiment, the semiconductor device of this third embodiment uses a lead frame which is shaped by the etching process as shown in FIG. 12. However, the manufacturing method of the semiconductor device of this embodiment is substantially the same as that of the first embodiment except that, while in the case of the first embodiment, the wire bonding process and resin encapsulating process are performed in a state wherein the semiconductor chip is fastened to the inner leads, in the case of this third embodiment, the wire bonding process and resin encapsulating process are performed in a state wherein the semiconductor chip 310 is fastened to the inner leads 331 via the bumps. Also, the cutting process for the unnecessary portions and the terminal portion forming process after resin encapsulating process are implemented in the same way as the first embodiment.

FIG. 6(d) is a cross-sectional view illustrating a modified example of the semiconductor device in accordance with the third embodiment of the present invention. In the modified example of the semiconductor device as shown in FIG. 6(d), the terminal portions each comprising the semi-spherical solder are not provided, and the top surfaces of the terminal columns are directly used as the terminal

portions. Because the protective frame is not used and the side surfaces 333B of the terminal columns 333 are exposed to the outside, a checking operation by a test, etc. can be easily performed.

5       Hereinafter, a resin-encapsulated semiconductor device in accordance with a fourth embodiment of the present invention will be described. FIG. 7(a) is a cross-sectional view of the resin-encapsulated semiconductor device of the fourth embodiment, FIG. 7(b) is a cross-sectional view illustrating inner leads, taken along the line A7-A8 of FIG. 7(a), and FIG. 7(c) is a cross-sectional view illustrating a terminal column, taken along the line B7-B8 of FIG. 7(b). Because an outer appearance of the semiconductor device of this fourth embodiment is substantially the same as that of the first embodiment, it is not illustrated in the drawings. In FIG. 7, the drawing reference numeral 400 represents a semiconductor device, 410 a semiconductor chip, 411 pads, 430 a-lead frame, 431 inner leads, 431Aa a first surface, 431Ab a second surface, 431Ac a third surface, 431Ad a fourth surface, 433 terminal columns, 433A terminal portions, 433B side surfaces, 433S top surfaces, 440 a resin encapsulate, and 470 insulating adhesive. In the semiconductor device of this fourth embodiment, one surface of the semiconductor chip 410 on which the pads 411 are disposed is fastened to the second

surfaces 431Ab of the inner leads 431 by the insul.  
5 adhesive 470, and the pads 411 and the first surfaces  
of the inner leads 431 are electrically connected with  
other by wires 420. The semiconductor device of  
the fourth embodiment uses the same lead frame which is use  
10 the third embodiment, which has the contour as shown  
FIG. 10(a) and 10(b). Also, in the case of this fourth  
embodiment, as in the case of the first and second  
embodiments, the electrical connection between the res-  
15 encapsulated semiconductor device 400 of this embodiment  
and an external circuit is achieved by mounting the res-  
encapsulated semiconductor device 400 via the terminal  
portions 433A each being made of a semi-spherical solder  
20 on a printed circuit substrate, with the terminal portion  
433A located on the top surfaces of the terminal column  
433, respectively.

FIG. 7(d) is a cross-sectional view illustrating  
25 a modified example of the semiconductor device in accordance  
with the fourth embodiment of the present invention. In  
the modified example of the semiconductor device as shown  
in FIG. 7(d), the terminal portions each comprising the  
semi-spherical solder are not provided, and the top  
surfaces of the terminal columns are directly used as the  
terminal portions. Because the protective frame is not  
25 used and the side surfaces 433B of the terminal columns 433

are exposed to the outside, a checking operation by a test, etc. can be easily performed.

(EFFECTS OF THE INVENTION)

5        The present invention provides a resin-encapsulated semiconductor device employing the above-mentioned lead frame, which is capable of meeting a demand for the increased terminal number. Furthermore, the resin-encapsulated semiconductor device in accordance with this  
10      invention does not require a process of cutting or bending the dam bars as in the case of using a lead frame having outer leads as shown in FIG. 13(b). As a result of this, the resin-encapsulated semiconductor device does not have a problem in that the outer leads are bent, or a problem  
15      associated with coplanarity. In addition to these advantages, the resin-encapsulated semiconductor device has a shortened interconnection length as compared to the QTP or the BGA, whereby the semiconductor device can be reduced in a parasitic capacity, and shortened in a transfer delay  
20      time.

59:543 v1

特開平9-8205

(1) 公開日 平成9年(1997)7月16日

(2) (1) (2) (3)

NO.1 23/50

第2124 特許登録番号

F 1

23/12

NO.1 23/50

は前記元主

23/12

23/12

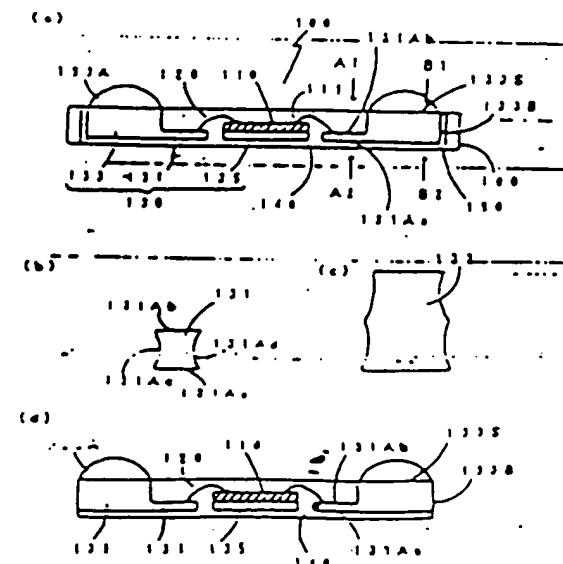
(1) 出願番号		特願平7-170490	(1) 出願人		000002897
(2) 出願日		平成7年(1995)6月14日	(2) 本願者		大日本印刷株式会社 東京都新宿区新宿二丁目1-19
(3) 代理人			(3) 代理人		山田 一
(4) 代理人			(4) 代理人		東京都新宿区新宿二丁目1-19
(5) 代理人			(5) 代理人		大日本印刷株式会社 内
(6) 代理人			(6) 代理人		佐々木 久
(7) 代理人			(7) 代理人		東京都新宿区新宿二丁目1-19
(8) 代理人			(8) 代理人		大日本印刷株式会社 内
(9) 代理人			(9) 代理人		片山士 小西 伸美

## (10) (発明の名称) 折合封止型半導体装置

## (11) (要約) (発明者)

(目的) 多元化に付随して、且つ、アフターリードの位置ズレや平坦化の問題にも対応できる折合封止型半導体装置を提供する。

(構成) 一般的に構成したリードフレーム素材と同じ形状の内側凹部と構成するための形状の端子部133とを有し、且つ、端子部はインナーリードの内側部においてインナーリードに対して組み方には拘りなく設けられており、端子部の先端部に半導体からなる電子部を嵌め、端子部を封止用接着部から露出させ、電子部の内側の側面を封止用接着部から露出させており、インナーリードは、或は芯部が向かって第1図131Aa、第2図Aa、第3図Aa、第4図Aaの4種を有しておう。かつ第1図はリードフレーム素材と同じ形状の端の部分の一方の面と同一平面上にあって第2面に向かってなり、第3図、第4図はインナーリードの内側に向かってせんだけばに形成されている。



## (A) 5枚の図

(図A-1) 2枚ニッティング加工によりインナーリードの底面がリードフレーム底面の厚さよりも厚めに加工されたリードフレームを用いた半導体装置であって、前記リードフレームは、リードフレーム底面よりも厚めのインナーリードと、該インナーリードに一体的に直結したリードフレーム素材と同じ底面の外板部と直結するための三枚の電子部とを有し、且つ、該電子部はインナーリードの内蔵部においてインナーリードに対して底面方向に固定して受けられており、該電子部の先端部に半導体からなる電子部を接続し、電子部を封止用接着剤から露出させ、電子部の力を外板の底面を封止用接着剤から露出させており、インナーリードには、断面形状が輪形にて第1面、第2面、第3面、第4面の4面を有しており、かつ第1面はリードフレーム素材と同じ底面の他の部分の一方の面と同一平面上にあって第2面に向かっており、第3面、第4面はインナーリードの内側に向かって凹んだ形状に形成されていることを特徴とする半導体装置。

(図A-2) 2枚ニッティング加工によりインナーリードの底面がリードフレーム底面の厚さよりも厚めに加工されたリードフレームを用いた半導体装置であって、前記リードフレームは、リードフレーム底面よりも厚めのインナーリードと、該インナーリードに一体的に直結したリードフレーム素材と同じ底面の外板部と直結するための三枚の電子部とを有し、且つ、該電子部はインナーリードの内蔵部においてインナーリードに対して底面方向に固定して受けられており、該電子部の先端の一端を封止用接着剤から露出させて電子部とし、該電子部の外板部の底面を封止用接着剤から露出させており、インナーリードには、断面形状が輪形にて第1面、第2面、第3面、第4面の4面を有しており、かつ第1面はリードフレーム素材と同じ底面の他の部分の一方の面と同一平面上にあって第2面に向かっており、第3面、第4面はインナーリードの内側に向かって凹んだ形状に形成されていることを特徴とする半導体装置。

(図A-3) 半導体しないし2において、半導体電子部はインナーリード間に位置し、半導体電子部の裏面部にワイヤにてインナーリードと電気的に接続されていることを特徴とする半導体装置。

(図A-4) 図A-3において、リードフレームはダイパッドを有しており、半導体電子部はダイパッド上に固定され、固定されていることを特徴とする半導体装置。

(図A-5) 図A-4において、リードフレームはダイパッドを有しないもので、半導体電子部はインナーリードとともに半導体接着テープにより固定されていることを特徴とする半導体装置。

(図A-6) 図A-5において、半導体電子部は半導体電子部の裏面部の底面をインナーリードの第2面

に接着して固定により固定されており、半導体電子部の裏面部はワイヤによりインナーリードの第1面と電気的に接続されていることを特徴とする半導体装置。

(図A-7) 図A-6において、半導体電子部はパンプによりインナーリードの第2面に固定されて電気的にインナーリードと接続していることを特徴とする半導体装置。

## (B) 5枚の図

## (1)

(図B-1) 半導体装置において、半導体電子部はパンプによりインナーリードの第2面と電気的に接続して固定されていることを特徴とする半導体装置。

## (2)

(図B-2) 図B-1において、半導体電子部は(1)に示されるような構造である。

ニコロテテ<sub>1</sub>：S100を有するダイパッドR1511の底面の底面との封止用接着剤を行うためのアフターリードR1513、アフターリードR1513に一体となったインナーリードR1512、該インナーリードR1512の先端部をニコロテテ1520の底面パッド1521とともに電気的に接続するためのワイヤ1530、半導体電子部1520を封止してあるから、外板から露出する1540をからなっており、ニコロテテ1520をリードフレームのダイパッド1511に底面に接続した後に、半導体ニコロテテ1520を封止してパッケージとしたもので、ニコロテテ1520の底面パッド1521に外板から露出するためのインナーリードR1512を必要とするものである。

そして、このような底面封止型の半導体装置の底面

裏面に接続して用いられる(底面)リードフレームは、一方には図15(b)に示すような底面のもので、半導体電子部を固定するためのダイパッド1511と、ダイパッド1511の周囲には付けられた半導体電子部と接続するためのインナーリードR1512、該インナーリードR1512に接続して外板底面との封止を行うためのアフターリードR1513、底面封止する際のダムとなるダムバー15

14、リードフレーム1510全体を支撑するフレーム(2)、R1515を備えており、底面、ツバール、4

2合金(42×ニッケル-4合金)、丸形を有するような

半導体電子部を用い、プレスなししくにエッチングにより形成されていた。即ち、図15(b) (C)

は、図15(b) (イ)に示すリードフレーム底面のF1-F2に沿って底面封止である。

(図B-3) このようなリードフレームを用いた底面封止型の半導体装置(アラステッククリードフレームパッケージ)において、電子部底面の底面に外板との接続とニコロテテの底面封止には、外板封止化かつニコロテテの

複数化が図るで、その結果、底面に止むことはなく、  
特にQFP (Quad Flat Pack) 及び  
TQFP (Thin Quad Flat Pack)  
等では、リードの多ビン化が苦しくなって来た。  
上記のキムは今まで用いられたリードフレームは、既に  
なものはオートリソグラフィー技術を用いたニッティング  
加工方式によれば是れ、完成でないものはプレスによ  
る加工方式によれば是れをやるのが一般的であったが、こ  
のようなキムは底面の多ビン化にはい、リードフレーム  
においても、インテリード既存底面の複数化が違う。即  
ちに、既存なものに対しては、プレスによる方法はそれ  
によらず、リードフレーム底面の底面が0.25mm  
程度のものを用い、ニッティング加工でそれにして来た。こ  
のニッティング加工方式について以下、図14によ  
り見ておこう。まず、底面もしくは42×  
ニッケル-銅合金からなる底面0.25mm程度の底面  
(リードフレーム底面14-10) を十分長め(図14  
(a)) した後、電気炉ヒカリ炉を用いた水  
溶性カゼイシレジストのフォトレジスト14-11を  
底面の底面にヨーに塗布する。(図14 (b))  
次いで、所定のパターンが形成されたマスクを介して  
底面を焼いてレジスト膜を発光した後、所定の露出し度で  
露光したレジストを剥離して(図14 (c))、レジスト  
パターン14-30を形成して底面にニッティング  
する。次に(図14 (d))  
次いで、レジスト膜を剥離して(図14 (e))、次  
に底面のリードフレームを用いて、ニッティング加工を  
行なう。そのように、ニッティング加工によって  
は既存のリードフレームは、更に、所定のエリアに多  
くビンが形成される。よって、底面、底面の底面を  
見て、インテリードビン底面用の底面用をボリュミド  
テープにてチップングを施したり、必要に応じて所定の  
底面吊りバーを自作加工し、ダイバッド底面をダランセ  
ットする処理を行う。しかし、ニッティング加工方式に  
いては、ニアケンゲンによると底面は底面加工の際  
の間に底面(面)方向にも達したり、その底面の底面に  
も複数があるのが一般的で、図14に示すように、リ  
ードフレーム底面の底面からニッティングするため、ライン  
ノット(ノット)を底面に付、ナインノットが形成される。  
に、底面の50~100mm程度とされている。又、リ  
ードフレームの底面のアフターリードのたびを考慮  
した場合、一回的には、その底面は約0.125mm以上  
必要とされている。この点、図14に示すようなニッティ  
ング加工方式の底面、リードフレームの底面を0.15  
mm~0.125mm底面まで削くことにより、フ  
ライパンディングのための必要な底面を70~80mm  
を削減し、0.165mmビッチ底面の底面はインテ  
リード既存底面のエンチングによる加工を廃止してさ  
が、これが既存とされていた。

(0004) しかしながら、底面、既存底面を底面に  
は、小パッケージでは、底面底面であるインテリードのビッチが0.165mmビッチを見て、底面に  
5~0.13mmビッチまでの底面底面が底面ででき  
たこと、ニッティング加工において、リード既存の底面を  
底面した場合には、アモルブリニットアモルブリードとい  
う工程におけるアフターリードの底面底面が底面とい  
う点から、既にリード既存の底面を底面としてニッティング  
加工を行う方法にも困りが出てきた。

(0005) これに代わる方法として、アフターリード  
の底面を底面した底面底面を行なう方法で、インテ  
リード底面をハーフニッティングもしくはプレスにより底  
くしてニッティング加工を行なう方法が底面ででき  
かし、プレスにより底くしてエンチング加工を底面で  
く場合には、底面においての底面が底面で(例えば、  
ウッドニリードの底面) ボンディングモードでイン  
グ底面のクラシングに必要なインテリードの底面で、底面  
底面が底面されない、底面を2段行なわなければなら  
ない底面底面が底面になら、底面底面が多くある、そし  
て、インテリード底面をハーフニッティングにより底く  
してエンチング加工を行なう方法の場合にも、底面を2段  
行なわなければならず、底面底面が底面にならといふ状  
態があり、いざなし底面化には、まだ至っていないのが  
現状である。

(0006)

(既存が底面じようとする底面) 一方、底面底面の多  
底面化には、インテリードビッチが底くならぬ、底  
底面を底面するに、アフターリードの底面底面(ス  
キンシング) が底く(アブリナリティ) の底面じが底  
底面となってきた。本現象は、このようには底のも  
と、多底面化に底くと、且つ、アフターリードの底面  
底面(スキンシング) や底く(アブリナリティ) の底面  
底面に底くできる底面底面の底面をし、底くと底面のもので  
ある。

(0007)

(底面を底面するための底面) 既存の底面底面の底面  
底面は、128エッティング加工によりインテリードの  
底面がリードフレーム底面の底面と底面に底くか加工  
されたリードフレームを底面した底面底面であって、即  
ち、アフターリードのリードフレーム底面の底面底面  
インテリードと、インテリードに一回的に底くした  
リードフレーム底面と底くはその底面底面と底面する  
ための底面の底面と底くし、且つ、底面底面はインテ  
リードの底面底面においてインテリードに丸めて底面  
底面に底くして底くらでおり、底面底面の底面底面に底面  
底面から底く底面を底く、底面底面を底面底面から底く  
させ、底面底面の底面底面を底面底面から底く出さ  
せており、インテリードに、底面底面が底面底面で底く

(作品) 工具柄の本筋が止まることはなく、上元のところに止まることにより、リードフレームを失いたくなるが止まることにおいて、多子化にかかるとき、且つ、反対の例(1) (b) に示すと見リードフレームを失いたくなるのと、アフターリードのオーミング工程を終としないため、これらの工程に起因して発生していきアフターリードのスニーキーの原因アフターリードの原因(コープラテリティ)の原因を全く見て下ることができる。又多子化の原因は可逆とならないものであら、更しくは、2段エンチング加工によりインゲーリードの端部が多子の原因よりも又より外側加工されたせむら、且ち、インゲーリードを又筋に加工された多ビンのリードフレームを用いることにより、本筋は多子の多子化にかかるとならないものとしている。又に、はとどる、(1)に示す2段エンチングにより外側をされたリードフレームを用いることにより、インゲーリード筋の第2筋にはモードを示す。ワイヤボンディング部の良いものとしている。また第1筋もモードで、第3筋、第4筋にはインゲーリード筋に沿うるためのインゲーリード筋は、反対しておらず、且つ、ワイヤボンディングのモードは広くとれる。

180を因げる必要はなく、図1(d)に示すようなく、180を因げない風速のままでも良い。

100101 (表内) のニコタニは100に使用のサ  
ドフレーム130に、42Xニッケル-鉄合金をモニタ  
したもので、そして、図9 (a) に示すような形をもし  
た。エッチングにより外を加工されたリードフレーム1  
30Aを用いたものであり、毎字毎に1.10mm四方や他の  
部分の厚さより薄く外に加工されたインナーリード部13  
1をもつ。グリパー136は厚刃で止まる形のタムとなる  
が、図9 (a) に示すような形状をもした。エッチング  
により外を加工されたリードフレーム130Aを、エ  
キス部においては用いたが、インナーリード部131と  
外側部133以外は絶対的に不足なものであるから、  
にこの性質に反対にされない。インナーリード部13  
1の厚さには4.0mm、インナーリード部131以外の  
まく、は0.15mmでリードフレーム素材の厚さの  
まくである。インナーリード部131以外の厚さは0.  
5mmに及ばず又は0.125mm~0.50mm  
度でも良い。また、インナーリードビンチは0.12  
mmと長いビンチで、ニコタニ厚の多段化に外応でを  
ものとしている。インナーリード部131の第2面1  
1Aには字頭はでワイドボンディングし易い形状と  
ており、図1 (b) に示すように、第3面131A  
~第4面131ACにはインナーリード側へ凹んだ形を取  
ており、第2面131AB (ワイドボンディング  
モニタ) しても絶対的に易いものとしている。

0111) エヌ西内においては、インナーリード13  
長さがどこかで、インナーリード13と同時にミレが付  
てらいふ。また図9(4)に示すような、インナーリード  
先端がそれぞれかねられた形状のリードフレーム  
シングルエッジにして作成し、これに接着する方法に  
よるエラテを形成しておおわせしている。インナーリード13が長く、インナーリード13と同時にミレを  
用い場合には、図9(4)に示すようにニッテ  
ニッテすることは出来ないため、図9(4)と(イ)に  
示すようにインナーリード先端部を遮断部131Bにて  
たはりにニッティング加工した後、インナーリード  
部を再びテープ150で覆う。

(0012) 本部新規例(2023年1月1日施行)

四辻方を図8に示すように左側に取付ける。図9はスロットルのニッティング加工にて削除された。図9(1)に示すリードフレーム130Aを、インテリード131矢印の第2位置131A6が図8で上にならうようにして用意した。(国8(2))。

次いでエヌエニティ110のエヌエニティ111側の壁を正面で  
上にして、エヌエニティモディパッド135上に駆け、壁

卷之三十一

ました。(四三(5))

キムは2回110をダイバンド: 35に設定して  
よみニキ: 10のを昇R111とインテリーエ  
1次電のス2匹とモワイ: 20にてコレクションを  
した。 (88 (c))

はいて、過大の停止距離をもつて車を停止を待つた後、不意なりードブレーキを用いても車は止まらぬとしている部分をアリスにて切替し、ヨニモリの車が止まらぬ状態で停止距離をもつて車を停止を待つた。 (図8 (c))

59に示すリードフレーム: 10人のダニエル: 25  
フレーム元: 107を組みした。このは、リードフレー  
ムの電子部の外の面にエポキシのエビからうさぎエバ  
ンスを組みしてエポキシを組みした。 153  
(e))

いて、最初たゞ180を基準で190を介してステッキを握るようにならぬことに気が付いた。(8月(11)) これまた、最初は、握る位置の位置のうえ、ステッキが握るところにより握る位置とステッキの握る位置が入りこなす位置にクラックが入り出来てしまふことがないようにすらまことに受けたものであらうが、必ずしもゼミとしない。また、握る位置に所定の位置へ行こうが、手を離すテクニクの10のティベート、置つ、ド・ブー、ビのステッキのかゆみの位置が、ステッキがうち手にこした状況で付いた。

レコードフレームを示す平面である図9のD1-D2線の直角部における直角二面角である。1110はリードフレーム部で、1111は、1110にレジストパターン、1112はレジストパターン、1113はヌード、1114は第二の凹部、1115は第一の凹部、1116は第二の凹部、1117は平坦部、1にニッティング穴底を示す。また、42×ニッケルをからなり、厚さが0.15mmのリードフレームである。

て、テーピングの工場や、リードフレームを製造するクラシック工場で、ベテズは日本とそれなりに似くなつた部分との差異が非常にならざるがあるので、エッチングを行なうエリアはインテリード方式のスピル加工だけにして大きめにとらえなければならない。今いて、温度は57°C、比説4.8ポースの酸化水素二重浴槽を用いて、スプレー比2.5kg/m<sup>2</sup>にて、レジストパターンが形成されたリードフレームは1110の面をエッチングし、ベテズ（モロゾ）に手とされた第一の比説1150のGモロゾがリードフレーム製作の約2/3程度に達した段階でエッチングを止めた。（図11（b））

上記スケ1回目のエッティングにおいては、リードフレーム  
スケ1110の正面から同時にニッティングを行ったが、  
必ずしも正面から正面にニッティングする必要はない。本  
スケルのように、スケ1回目のエッティングにおいてリード  
フレームヨリ1110の正面から同時にエッティングする  
理由は、正面からエッティングすることにより、R2T2  
スケ2回目のニッティング時間を見切らうためで、レジスト  
バターン9200点からのみの正面エッティングの場合は  
にべ、スケ1回目エッティングとスケ2回目エッティングのトー  
タル時間がが足りないから。はいて、第一の正面スケ1110  
側のエッジされた第一の凹面1150Rにニッティングをスケ  
1180としての斜エッティングはのあらボットメルトコ  
...ランクス...ランクス...ランクス...ランクス...ランクス...  
MR-WB6を、ダイコータモモいて、モモし、ベタ  
メ(平モモ)にエッジされた第一の凹面1150に埋め込  
んだ。レジストバターン1120Aよりもニッティングに  
凹面1180に埋めされたはなどした。(211  
(c))

エッティング部底面 L180E, レジストパターン L12 30  
-0.9と真正に並ぶする必要はないが、第一の凹部 L15-  
0を含む一端にのみ並ぶことに拘るに、图 11  
(c) に示すように、第一の凹部 L150ととともに、第  
二の凹部 L130が真正にエッティング部底面 L180  
を並ぶした。又右端で底面したニッティング部底面 L1  
80は、アルカリなどとのラックスであるが、右端に  
エッティング部に並ぶがあり、エッティング時に並ぶ底面の  
二段状のあるものが、だましく、右に、上記ラックスに  
底面並れ、T.U.V.型底面のじごじ並んでこのようにニ  
ッティング部底面 L180をインテリード元底面の右側  
を形成するためのパターンが形成された底面の右側を示す  
。第一の凹部 L150が右端に並ぶことにより、そこで右  
のニッティング部に第一の凹部 L150が並ぶことで大き  
くならないようにしていうとともに、右端がニッティン  
グ加工に対しての抵抗的な性質を有をしており、スプレー  
一層を重く (2.5  $\mu$  / cm<sup>2</sup> 以上) とすることがで  
き、これによりニッティングが逆方向に進行してく  
る。このは、第 2 回目のニッティングを行なうべきは、(左  
端) に並ぶされた第二の凹部 L160元底面からリ  
ードフレームタブ L110をエッティングし、第 2 回

16  
インナーリードでスル131Aを走行した。(S: (E))

ス1回目のニッティング女工にて作成された。リードカード面に手写のニッティング完成面は手書きであるが、この面を同じ2面にインテーリード机へこんが畠せてある。次いで、次号、ニッティング完成面を2枚のヨリ、レジスト区（レジストパターン1120A-1120B）の4面を元に、インテーリード完成2131Aが作成された。図9（a）に示すリードフレーム1130Aを4面、エッティング完成面1120とレジスト区（レジストパターン1120A、1120B）の4面に手書きでリウムホウ酸により書かれた。

(0014) 上記、田代に示すソニドフレーナー等。

う。はさてうそ死門のときはは死門のようにパンプを  
いてキメタテをインナーリードの第三年131人を  
石なし。インナーリードと云ふ間に月既付うそに  
スコット

図1-2は1.3-1.4-bをインテリード間に凹んだ形とする  
面した方がバンブ形状の時の片合が大きくなる。  
図1-2に示すニッティングは工方左が正確なる。図1  
に示すエッティング加工左は、第1回目のニッティング

更に、(1)に示す方法と同じであるが、エッティング浴は第一回 $118.0$ を第二の回 $116.0$ 時に塗り替える。第一の回 $115.0$ 回から第二回 $118.0$ のエッティングを行い、更に(2)と同様にして(3)回 $118.0$ のエッ

ニッティングにて、第二開口 H1 140からのニッティング部分に打っておく。図 1 に示すニッティング加ニカロウでみられたリードフレームのインナーリード先端部を図 1 に示す。

これがインナーリード側にへこんだ凹状になると、  
0.151mm トロリードの刃先が

万度のうちに、エッティングを2万度にかけて行う。エッティング工程では、エッティング液の濃度を2度にかけて行う。

一ノ工房の方を、一筋に2段エッティング加工方を  
つており、又二工房にまたがる加工方である。既  
用いた図9(ふ)に示す、リードフレーム130A  
をはじめに、2段ニッティング加工を行ふ。バフー

スを工元で使うことにより部分的にリードフレームをなくしながらも工元を工元で使う方法などと併せてはあります。リードフレームをなくした部分においては、同時に工元ができるようにしている。図1

12に示す。上記の方法においては、インナーリース部1311の内側を支点に、第2の凹部116はと、底面にはうなれをインナーリース部1301のにあわせたものと、同様に、底面1301へ

まで深くすると、図11 (e) に示す、半径W1を10.0 mmとして、インナーリード先端部ピッチが0.45 mmまで加工可能となる。長さLを30.0 mmに保たれて深くし、半径W1を7.0 mmに保たると、インナーリード先端部ピッチが0.12 mm程度まで加工ができるが、直角に、半径W1のとり万次第ではインナーリード先端部ピッチが更に良いピッチまで可能が可能となる。ちなみに、インナーリード先端部ピッチが0.08 mm、長さ25.0 mmで半径R4.0 mmの区間が可能である。

(0016) このようにエッティング加工にてリードフレームを作成する段階、インナーリードの長さが短かい場合、封緘工程でインナーリードのヨレが発生しにくい場合には、図9 (a) に示す形状のリードフレームをエッティング加工にて作るが、インナーリードの長さが長く、インナーリードにヨレが発生しやすい場合には、図9 (c) (イ) に示すように、インナーリード先端部から距離1318を抜け、"V"字形リード先端部を作り、このV字部にした形にしてあはしたものを見て、ニス性不良は當てに不需要な図9 (c) 1318をアレックスにより改めて第三して図9 (a) に示す形状を作らう。尚、前述のように、図9 (c) (イ) に示すものを切削し、図9 (a) に示す形状にすり替へる場合には、図9 (c) (ロ) に示すように、"V"字部の両端のため属性テープ1-6-0-(ポリイミドテープ)を使用する。図9 (c) (ロ) の状態で、アレス等により封緘図1318を切削改めて3つするが、ニス性を高めに、テープをつけたままのまままで、リードフレームに沿らせて、そのまま封緘部に止まる。次に、リードフレームにて改めて、切削部分を元すものであろう。

〔0017〕本実用例の寸法は次に示すに用いたり。即ち、ドジニムのインナーリードを「1」の断面形状は、図13(イ) (a)に示すようになっており、ニッティング部は、W1×W2×L×Hの寸法W1にはば平を、Lが引かれた約48W2より引かれて大きくなっている。W1、W2(約100μm)、もしこの部分の幅を二方向のWはWより少し大きくなっている。このようにインナーリード先端部の幅面は広くなっているのであるため、どちらか一方で、引いても平端部(図示せず)とインナーリード先端部「131A」と「131B」をA-AとB-Bによる断面(ボブティング)がしないものとなっているが、本実用例の場合はニッティング部の(図13(ロ) (a))をボンディング部としている。即ち、図13(ロ) (a)はニッティング部を除いて、131Aと131Bにリードフレームを図121A、121Bにのつとめてある。ニッティングニッティング部がラビのきい部であるため、図13(ロ)の(1)の場合は、特に拘束(ボンディング)はたが強めら。図13(ハ)に記載するに示す加工方法にて加工されたリードフレームのインナーリード先端部131Aと131Bとは、(図示せず)との断面(ボンディング)を示すものであるが、この場合はインナーリード先端部131Aと131B

の所並に平尾ではあるが、この部分の表示方法は  
ペスモくとれない。また画面とシリードフレームにて  
てある点、結果（ポンディング）画面には表示され  
テングモ画面より劣る。图10（二）にアレス（ニー  
シング）によりインナーリード点滅を再現化したま  
ンテング加工によりインナーリード点滅色：133：0  
13310を加工したものの、ニコニコ（ポンデ  
ー）との画面（ポンディング）を示したのであるが、こ  
れをアレス色が常に示すように三色になつていて  
10 ため、どちらの色を用いてモロ（ポンディング）して  
も、图11（二）の（a）、（b）に示すように表示  
（ポンディング）の間に三色がよく混ざるために結果と  
なら場合は多い。图13314ロにニコニシング版であ  
る

〔0018〕次に支点内1の操作対応型ミニマスモードの動作を示す。図3 (a)～図3 (c) に、それと、  
に支点内1の操作対応型ミニマスモードの支点内1の操作対応型  
ある。図3 (a) に示す支点内1のミニマスモードには、支点内  
1のミニマスモードとは、ダイパッド113Sの凹部が立ちあ  
るもので、ダイパッド113Sが立ちあることによって、タ  
イパッド113Sが立ちあることによって、支  
点内1に比べ、点の発生性が低めている。図3 (b) に  
示す支点内1のミニマスモードは、ダイパッド113Sが立ち  
あることによって、支点内1に比べ、点の発  
生性が高めている。支点内1や図3 (a) に示す支点内  
とは、ミニマスモード110の動作が異なり、ワイヤボンデ  
ィング部をリードフレームの裏1面に接している。図3  
〔c〕～図3 (d) で図3 (c) に示す支点内1は、〔c〕  
それと、図3 (a) に示す支点内1、図3 (b) に  
示す支点内1において、ミニマスモード110からなるモニタ部を反  
げず、電子ビームの面を支点内1として用いているもので  
あり、電子ビームを応用した方法とたてている。

〔00,上9〕次いで、第4回2の本筋川止メモは本筋を  
モザイクする。図4-(a)は第4回2のモザイク止型には二  
一一定の断面図であり、図4-(b)には図4-(a)のA3-A-1  
くにおけるインナーリード筋の断面図で、図4-(c)は  
図4-(a)のB3-B4における端子止筋の断面図であ  
る。第4回2の半筋は電極の内筋は第4回1と同一  
二同じとなる第4回はそれじた、図4-(a)のB3-B4には端子  
三度、210には電極3度、211には電極4(バッ  
ド)、220にはワイヤ、230にはリードフレーム、23  
1にはラジカルリード、232にはT字1面、233にはS  
にはT字2面、234A-CにはT字面、234A-DにはT字面、  
235には端子左筋、233Aには端子右筋、233Bには外  
面、233Sには上端面、240には片止端筋、270は  
片止端部テープある。ニス筋2のニス体2は左において  
ては、リードフレーム230はダイバードをいたないし  
ので、ニスロゴチ210はインナーリード233とども  
に片止端部テープ270により固定されており、本筋  
233A-Dは左筋233Sと右筋233Bとで構成され、233

例にウイヤ220により、インテリード231の第2面231へ0と記載されている。本文第2の記載も、実花例1と同様に、ニズキ名庭200とお尻田舎との実花的な状況は、ウイヤ233の元春苗になに行かれた記録の年次からなる実花例233Aを介してプリントする所まで記載することにとどめられた。

これは左耳方、350に高音用テープである。これを左のエッセイズにおいては、エッセイズ310に、パンタ311によりインナーリード310の第2段331&332に配置され、逐次的にインナーリード331と回転している。リードフレーム330は、図10 (a), 図10 (b)に示すかたのもので、図11に示すニッケンゲルエによりがまこられたしのを示している。図10 (a), (b)に示すように、インナーリード331の左右のW1A, W2A (約100mm) ともこの部分の右332側の頭のW1Aよりも大きくなっている。また、インナーリード331の第2段331&332にインナーリードの内側に向かって凹んだ形状で、第1段332: A&Bが二つあることより、インナーリードの複雑化に付随してとともに、インナーリード331の第2段331&332において、エッセイズテとパンプにて密接に接続する口は、図10 (c), (d)のよう形状がしらうものになっている。また、右耳方側の場合は、元左耳1や元左2の耳を左耳3に、エッセイズ300と左耳耳槽とのあわせた耳耳は、元左耳3の元耳耳部に抜けられたニコのニコからなるニコ耳3を介してプリント品耳へ通じるところにより、左耳3の

〔0024〕図6(4)に示す内筒の内筒は外筒の内筒と構成する内筒と外筒の組合せである。図6(5)に示す外筒は内筒と外筒とに、外筒筒口の内筒筒口に接するようにしてある。

次の日からなる毎テ日を立てて、毎テ日の中を毎月コ  
ト部として見ていくものである。毎月をよくしてコ  
チ日を111の外延111日を111月を111月として  
ニタニテの日々のチニックが新しい風景となっている。  
更にこの毎テ日を111の外延111日を111月と上  
部からチニックしない理由とてうことともできる。

〔0025〕において、支那側の支那片庄型手書き文字を記せらる。図7 (a) は支那側の支那片庄文字の表題面であり、図7 (b) は図7 (a) のA7-A8におけらるインテリード段の表題面で、図6 (c) は図6 (a) のB7-B8におけらる支那片庄の表題面であつて、支那片庄の表題面を記せらる。これは支那片庄の表題面を記せらる。これは支那片庄の表題面を記せらる。

【図11】本発明の遮断打止型キヤノン式に用いるリードフレームの構造方法を示すたとの式  
【図12】本発明の遮断打止型キヤノン式に用いるリードフレームの構造方法を示すたとの式  
【図13】インテーリード方式でのワイドチップの端子状態を示す図  
【図14】次元のリードフレームのニッテンケミヨニ  
を実現するための式  
【図15】各端子部の構造を示す各部の端子部

10 リードフレームの構造方法を示すたとの式  
【元号の表示】  
100, 200, 300, 400  
端子部の構造  
110, 210, 310, 410  
端子部  
111, 211, 411  
区(パッド)  
312  
シフ  
10 120, 220, 420  
イテ  
120A, 120B  
イテ  
- L21A-L21B  
端子  
130, 230, 330, 430  
リードフレーム  
131, 231, 331, 431  
シナーリード  
131Aa, 231Aa, 331Aa, 431Aa  
端子  
131Ab, 231Ab, 331Ab, 431Ab  
端子  
131Ac, 231Ac, 331Ac, 431Ac  
端子  
131Ad, 231Ad, 331Ad, 431Ad  
端子  
131B  
端子  
131B  
端子  
10 133, 233, 333, 433  
端子  
133A, 233A, 333A, 433A  
端子  
133B, 233B, 333B, 433B  
端子  
133C, 233C, 333C, 433C  
端子  
133D, 233D, 333D, 433D  
端子  
140, 240, 340, 440  
端子部

リードフレーム、431はインテーリード、431Aa  
は第1面、431Abは第2面、431Acは第3面、  
431Adは第4面、433は基板面、433Aは電  
子部、433Bは側面、433Cは上面面、433Dは側  
面部本体、470は遮断性を有する。本電子部の組  
合は、電子部331の第2面431Abに地部を左側に47  
0を介して固定し、パッド411とインテーリード43  
1の第1面431Aaとモワイヤ420にて本体に組  
合したものである。使用するリードフレームは次元例3  
式と同じ、図10(a)、図10(b)に示す端子部は  
のものを使用している。また、本電子部の端子部、本  
電子部や本電子部の端子部と向面上に、ニッテンスチック400と  
外端子部との電気的な接続は、電子部331の左側面に設  
けられたチップ部の半面からなる電子部431Aを介して  
プリント基板等へ接続されることにより行なわれる。

【0026】図7(c)は、本電子部のニッテンスチックの文  
字例やニッテンスチックの端面である。図7(c)に示す本電  
子部やニッテンスチックに、本電子部の半面は左側に示して、ニッ  
テンスチックからなる電子部を示すT、電子部の面を正面と  
示すとして示しているものである。左側面を黒くしてニ  
ッテンスチック400の側面431Bを前面に示出している。チ  
ップ等での図号のテニックがし高い構造となっている。

【0027】

【発明の効果】本発明の遮断打止型キヤノン式には、上記  
のように、リードフレームを用いた遮断打止型キヤノン式  
において、多極化においても、且つ、次元の図13  
式(b)に示すアフターリードを用ひリードフレームを構  
成した場合のようにダムバーのカットエッカ、ダムバーの  
金型エッカを必要としない。即ち、アフターリードのニキ  
ニーの端面や一端を斜めにカットアリティーブの端面を  
を黒とすることでモード切換の操作を可能としている。こ  
た、QFPやBGAに比べるとパッケージ内部の走査  
が見にくくなるため、走査部が小さくなりE線走査時間  
を短くすることを目的としている。

【図面の筋書の表示】

【図1】本電子部の遮断打止型キヤノン式の構造

【図2】本電子部の遮断打止型キヤノン式の構造の主  
要部

【図3】本電子部の遮断打止型キヤノン式の電子部の構

【図4】本電子部の遮断打止型キヤノン式の電子部の構

【図5】本電子部の遮断打止型キヤノン式の電子部の構

【図6】本電子部の遮断打止型キヤノン式の電子部の構

【図7】本電子部の遮断打止型キヤノン式の電子部の構

【図8】本電子部の遮断打止型キヤノン式の電子部の構

【図9】本電子部の遮断打止型キヤノン式に用いるリエ  
ーラーの構造

【図10】本電子部の遮断打止型キヤノン式に用いるリエ  
ーラーの構造

【図11】本電子部の遮断打止型キヤノン式に用いるリエ  
ーラーの構造

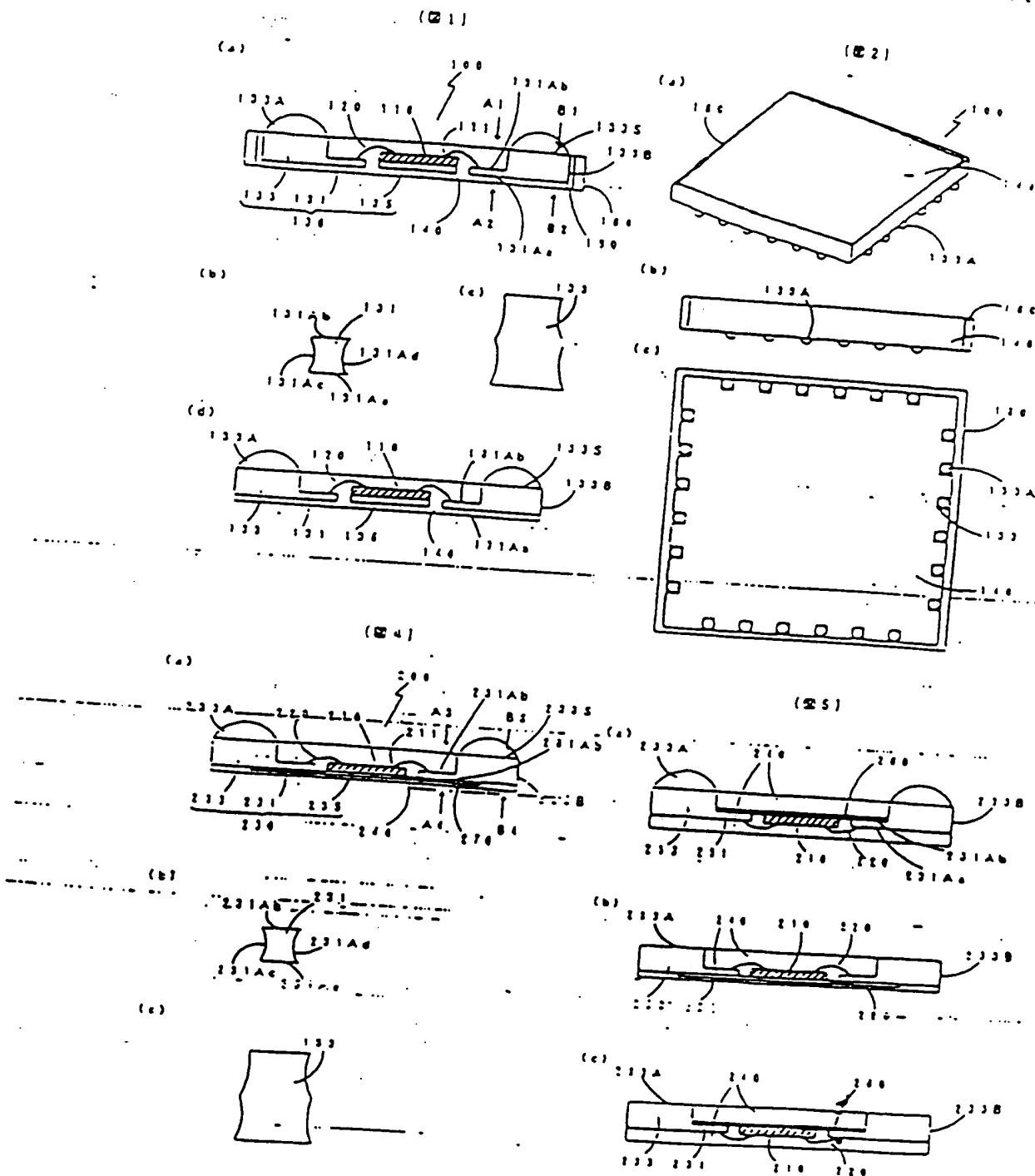
【図12】本電子部の遮断打止型キヤノン式に用いるリエ  
ーラーの構造

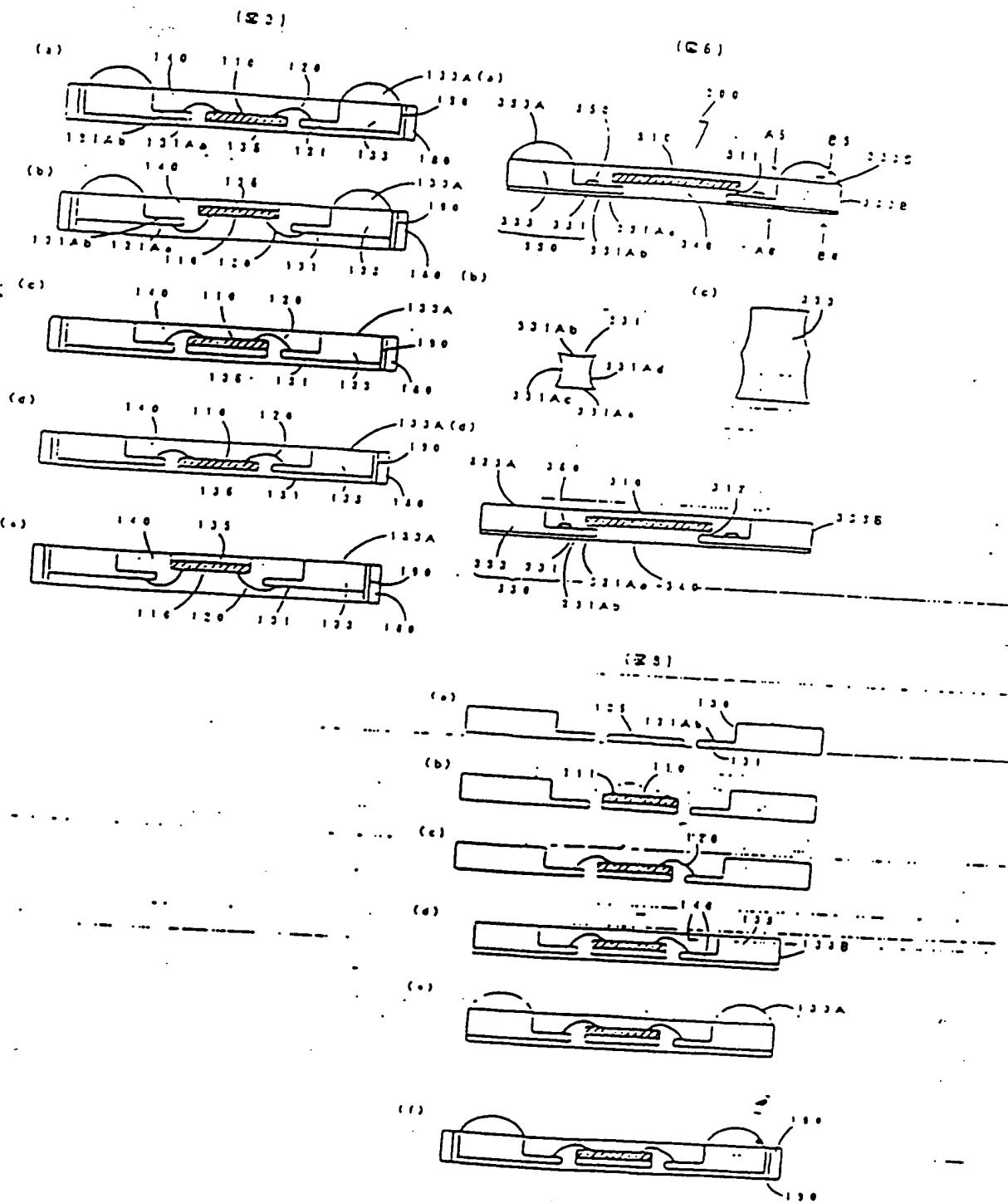
【図13】本電子部の遮断打止型キヤノン式に用いるリエ  
ーラーの構造

【図14】本電子部の遮断打止型キヤノン式に用いるリエ  
ーラーの構造

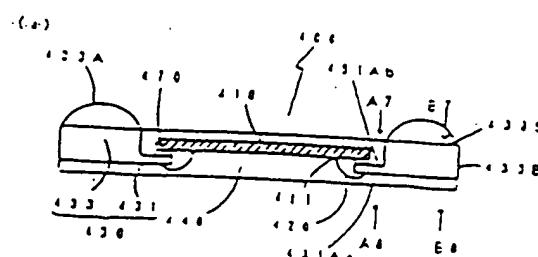
【図15】本電子部の遮断打止型キヤノン式に用いるリエ  
ーラーの構造

品名	12	13
190		ードフレームミガキ
240	日	1331A6
260		イニシグロ
270	日	1410
350		ードフレームミガキ
360	日	1420
470		オトレジスト
550	日	1430
650		ジストバターン
1110	地 10	1440
1120A, 1120B	リ	ンターリード
1130	レ	1510
一の底ニ面		ードフレーム
1140	リ	1511
二の底ニ面		イバッド
1150	日	1512
一の凹部	地 10	ンターリード
1160		1512A
二の凹部	日	ンターリード元素部
1170		1513
底ニ面	日	フターリード
1180		1514
シテング底ニ面	二	ムバー
1320A, 1320C, 1320D		1515
1321B, 1321C, 1321D		レーム部 (内鉄)
1331B, 1331C, 1331D	イ	1520
シテーリード元素部		底面 (バッド)
1331A6		1530
		止用底面

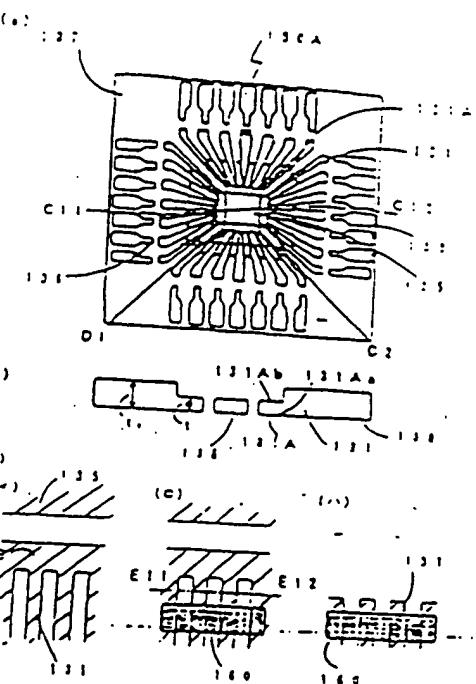




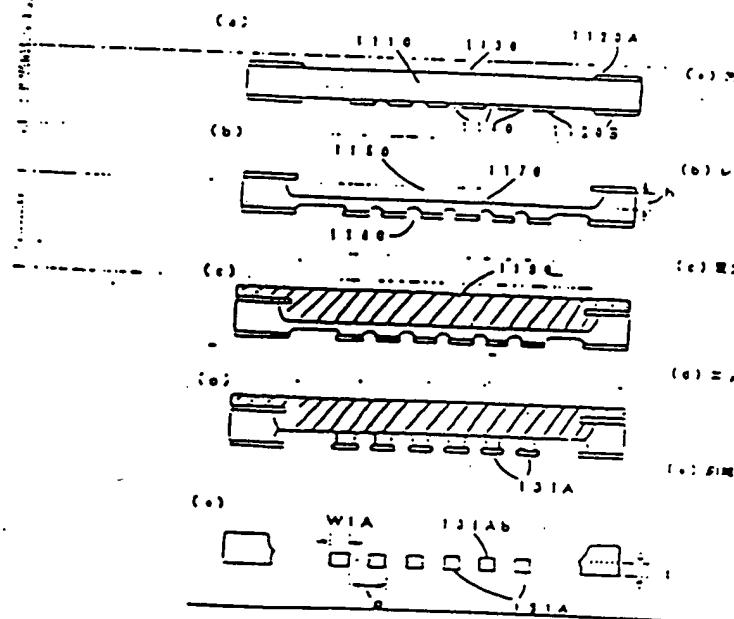
(S7)

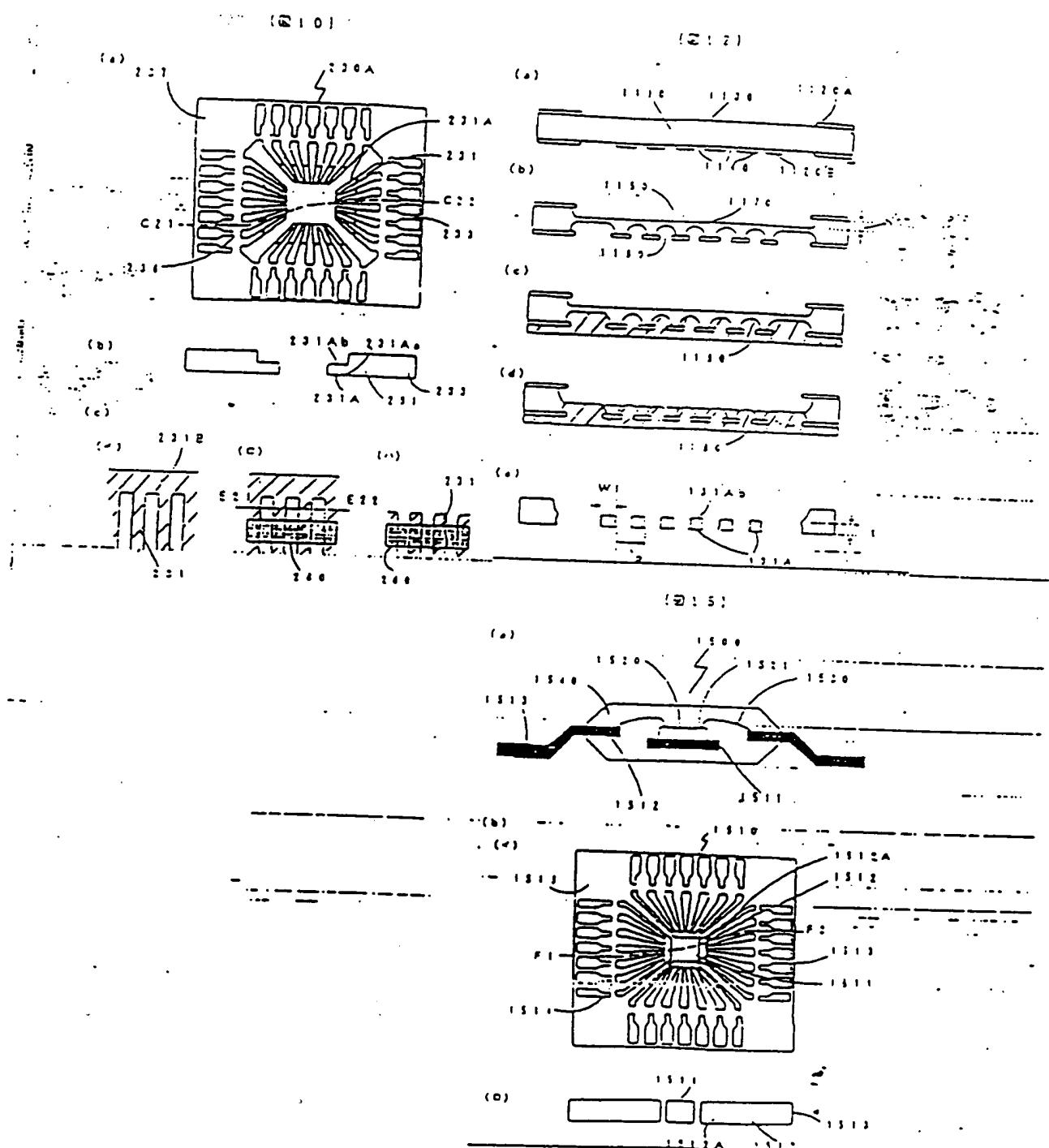


(S9)



(S11)





151

$$x = s - \varepsilon \dots \varepsilon$$

(2 : 2)

